

УДК 004

Современные нейроконтроллеры: обзор решений и анализ возможностей для применения в интеллектуальных системах

10, сентябрь 2012

Макаренков В. М., Азябин С. В., Говердовский А. Д.

*Научный руководитель: Юдин А.В.
МГТУ им. Н.Э.Баумана, Москва, Россия*

МГТУ им. Н.Э. Баумана
bauman@bmstu.ru

Введение

Рост объемов информации и необходимых скоростей работы с нею толкает разработчиков на разработку новых вычислительных устройств. И если на заре компьютерных систем вычисления производились только последовательно, а новые разработки были направлены только на увеличение тактовых частот работы систем, то сегодня мы наблюдаем тенденцию к усложнению самой структуры систем, в которую включаются элементы параллельной архитектуры.

Параллельные вычисления естественным образом повторяют природный подход к обработке информации, известным нам венцом которого является человеческий мозг. Тема нейронных сетей, которая включает принципы функционирования искусственных систем обработки информации похожие на принципы функционирования мозга, не нова. Ею занимались ученые физиологи, математики и психологи еще тогда, когда удовлетворительных вычислительных средств как таковых не существовало. Среди пионеров можно назвать Минского, Пайперта, Мак-Каллока, Питтса, Розенблатта и многих других. Одной из интересных работ можно назвать книгу авторов Нормана и Линдси «Переработка информации у человека» [1].

Не останавливаются исследования нейронных сетей и сегодня, в том числе и в нашей стране [2]. К сожалению, пока широкого распространения результаты этой работы не получили, но развиваются и другие области инженерных наук. Сегодня ищет становления наука мехатроника. Мехатроника, как и робототехника – это высоко интегрированные и объединяющие предметы уже недалекого будущего [3].

В свете вышесказанного, авторы данной работы делают попытку оценить существующий на сегодняшний день технический уровень реализации нейронных сетей, как перспективного направления развития систем управления недалекого будущего, а также определить технические направления, в которых целесообразно вести разработку электронных устройств управления, основанных на принципе работы нейронных сетей.

Понятие о нейроконтроллере

Нейроконтроллер (англ. neurocontroller) – средство (аппаратное или программное) интеллектуального управления, использующее искусственные нейронные сети (ИНС). ИНС представляют собой устройства параллельных вычислений, состоящие из множества взаимодействующих простых процессоров (нейронов). На рис.1 пояснены, ставшие уже классическими, базовые элементы и понятия теории нейронных сетей.

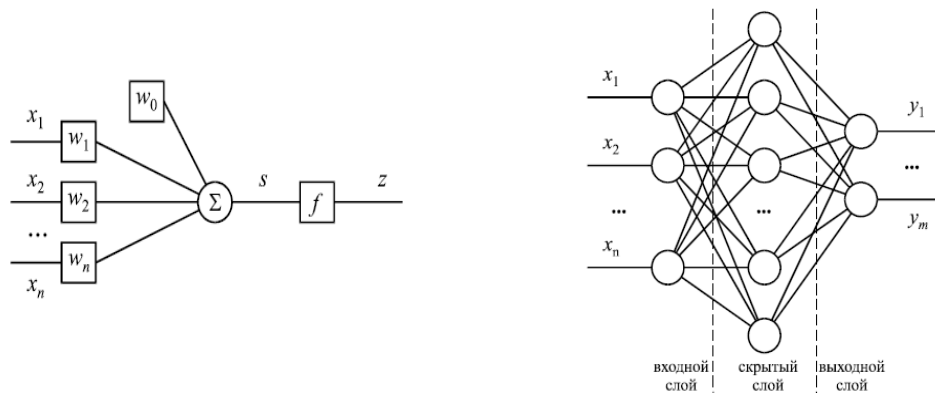


Рис. 1 –Классическая модель нейрона (слева) и типичная нейронная сеть (справа)

Принцип работы простейшей нейронной сети (рис.1) следующий: ИНС воспринимает вектор входных сигналов $x=(x_1, x_2, \dots, x_n)$ и формирует сигнал $z=(z_1, z_2, \dots, z_m)$ на нейронах скрытого слоя. Вектор выходов нейронной сети $y=(y_1, y_2, \dots, y_m)$ снимается с выходного слоя. При работе с сетью различают два принципиально различных режима – обучение и работа. При обучении нейронной сети на ее вход подается некоторый тренировочный вектор входных сигналов, а значения весов связей w_i и сдвигов w_0 нейронов скрытого и выходного слоев варьируются до тех пор, пока сеть не научится отображать некоторый набор N тренировочных входных векторов в набор желаемых выходов.

Нейроконтроллер на матричном многоядерном процессоре SEAForth40

Процессор SEAForth40 [4] – это массив из 40 одинаковых (кроме периферийных, имеющих дополнительные устройства ввода-вывода) вычислительных узлов (ядер), каждый со своим хранилищем программ и данных, тактируется собственным тактовым генератором, что позволяет проектировать на основе SEAForth40 полностью асинхронные системы обработки данных. Ядро имеет стек данных и возвратов глубиной 10 слов, ОЗУ и ПЗУ объемом 64 слова. Передача данных происходит автоматически между соседними ядрами через общий порт. Система команд ядра, VentureForth, содержит 32 команды (5 бит), что позволяет в одно машинное слово (18 разрядов) «упаковать» до четырех команд (команду можно ограничить 4 битами). Время выполнения команд от 1 до 4 нс. Тактовая частота процессора 1ГГц [5].

Возможны три варианта реализации нейронной сети на ядре процессора:

1. Ядро - нейрон с i входами. При размещении весов на стеке реализуются 7-8 связей (коэффициенты 16-18ти разрядные). Количество связей при размещении весов в оперативной памяти зависит от сложности алгоритмов вычисления нейрона и от разрядности весов. В общем – 10-20 связей. Входной вектор записывается в ОЗУ ядра или поступает последовательно через один из портов. Весь процессор загружен выполнением расчетов, и максимум может представлять сеть из 40 нейронов. Эта реализация позволяет реализовать многослойную сеть, то есть в заданные промежутки времени процессор представляет собой определенный слой нейронной сети. Для многослойной сети пути передачи данных - уникальны, слова, их реализующие, соответствующим образом модифицируются.

2. Ядро - слой ИНС. Большая сеть (много слоев и нейронов в слое). Межслойные связи и движение потока данных могут быть уникальны. Свободные ядра вместе с ядрами, отработавшими слой, могут конфигурироваться для решения иных задач. Недостаток схемы - большие временные задержки при вычислении выхода слоя и затраты памяти на хранение коэффициентов и входного вектора.

3. Нейрон вычисляется на большинстве ядер процессора, остальные ядра могут представлять собой конвейер, по которому движется поток данных: весовые коэффициенты, входные и выходные вектора. Часть ядер отвечает за синаптические связи (в зависимости от числа синапсов нейрона таких связей может быть до 15), есть ядра (ядро) которые суммируют и накапливают результат, и есть ядра (ядро), которые вычисляют передаточную функцию нейрона. К преимуществам данной схемы стоит отнести постоянную загруженность процессорных ядер, что очевидно обеспечивает разумное использование вычислительных ресурсов.

Нейроконтроллер на базе системы CNAPS

CNAPS (система связанных сетей адаптированных процессоров) – коммерчески доступный мультипроцессорный чип. CNAPS оптимизирован для решения задач обработки сигналов и распознавания образов [6].

Система основана на SIMD (одиночный поток команд, множественный поток данных) архитектуре, т.е. каждый процессорный узел (ПУ) обрабатывает свою часть информации, но все активные ПУ выполняют одну общую команду. Каждый ПУ это процессор с фиксированной запятой, обладающий собственной встроенной памятью, регистрами и блоком адресации памяти. В нем также есть умножитель, вычитатель (32 бита), сдвигатель/логический блок и используется арифметика с фиксированной запятой, дополнительным кодом.

Несколько ПУ могут быть соединены друг с другом и с CSC через три глобальные шины: шину соединения, шину ввода и шину вывода. Каждый ПУ также соединен с соседями двумя 2-х битными шинами. ПУ имеют собственную память в 4КБ и могут выполнять 1-, 9-, или 16- битную целочисленную арифметику. Тактовая частота – 20МГц, операция умножения-сложения может выполняться за один такт. Чип CSC ASIC контролирует операции массива ПУ, передает информацию на шину ввода и снимает данные с шины вывода.

Данная система (см. рис.2) справляется с задачами обработки сигналов и распознавания изображений в 10-15 раз быстрее, чем ПК с процессором Pentium 90МГц. Еще одним преимуществом CNAPS является то, что это платформа с инструментарием для разработки приложений и с возможностью добавления алгоритмов пост-обработки (FFT, BP[7], DDA/RBF[12]). Также важным преимуществом является то, что возможно добавление платы расширения, которая может содержать другие специфичные схемы.

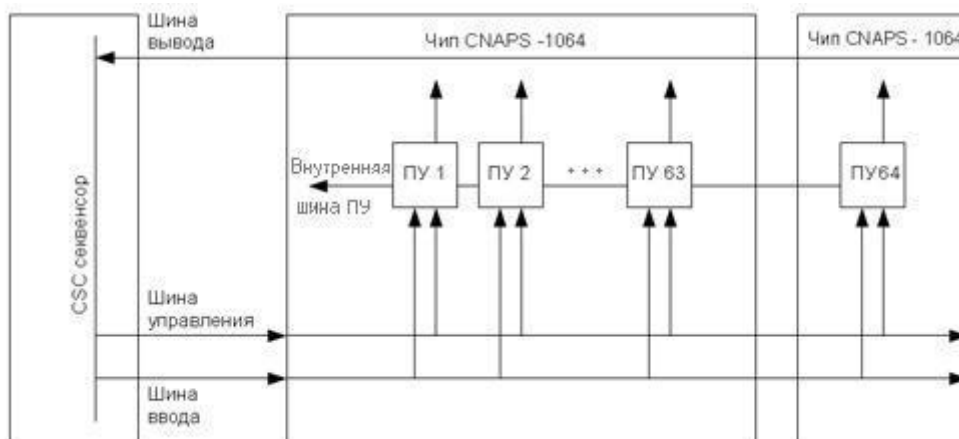


Рис. 2 – Архитектура CNAPS

Применение нейроконтроллеров, задачи управления устройствами

Это самая естественная область применения нейроконтроллеров. Из множества статей, написанных по данной теме, видно, что решения на основе нейросетей часто более эффективны, нежели классические методы. Очень важным преимуществом нейроконтроллеров здесь является обеспечение устойчивости системы к нежелательным нелинейным эффектам.

Рассмотрим пример использования нейроконтроллера для балансировки перевернутого маятника [13], общая структура управляющей системы показана на рис.3. Более точно, задача заключается в минимизации угла отклонения маятника от вертикального положения.



Рис. 3 – Общая структура управляющей системы

Нейросеть добавлена как дополнительный контроллер, компенсирующий изменения в системе (обучение происходит в процессе работы постоянно), в нем используется обычная трехслойная нейронная сеть, работающая по алгоритму обратного распространения ошибки. Нейроконтроллер сделан на основе коммерчески доступного RISC-процессора (ARM от Samsung, 32 bit, 66 MHz). Взаимодействие ARM-процессора с ПИД-контроллерами на FPGA ведется с помощью 32-битной шины данных. В каждый момент считывания входных сигналов нейроконтроллер должен передать компенсирующие значения на FPGA, чтобы они были переданы как поправки к выходному значению ПИД-контроллеров.

В результате была достигнута точность контроля угла отклонения маятника в 0,015 радиан. Такая комбинация (нейроконтроллер на основе МК + FPGA, см. рис.4) оказалась достаточно дешевой для реального использования.

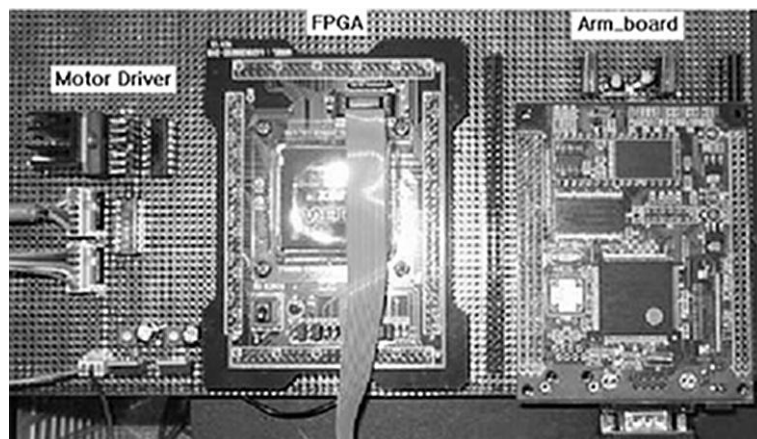


Рис. 4 – Пример реализации интеллектуальной системы управления

Кроме того, с помощью нейроконтроллера может быть решена также важная задача управления электроприводом. Подробно эта тема рассмотрена в статье [14].

Применение нейроконтроллеров, оптимизация сетей связи

Нейроконтроллер можно использовать и для решения различных сетевых задач (имеются в виду транспортные сети), например, задачи маршрутизации.

Маршрутизация - процесс определения оптимального по тому или иному параметру (например, по времени) маршрута следования информации в сетях связи.

Применение нейроконтроллера для решения данной задачи может дать лучшую производительность по сравнению с классическими алгоритмами. Подробно этот вопрос рассмотрен в статье [8].

Заключение

Искусственные нейронные сети, ставшие впервые предметом интереса инженеров около 50 лет назад, до сих пор остаются предметом исследований. Пока что они бесконечно далеки по своим возможностям от невероятно мощной биологической нейронной сети – человеческого мозга. Тем не менее, использование нейросетей, в частности, в виде нейроконтроллеров, иногда является весьма эффективным решением. Наиболее часто нейроконтроллеры используются в задачах управления и автоматического регулирования работы различных устройств, но их область применения не ограничена данными проблемами.

С одной стороны, методы применения нейросетей на данный момент довольно хорошо развиты и известны. В нашей статье были рассмотрены некоторые из них. Но остается главная загадка, которая толкает исследователей на новые шаги в исследованиях по искусственным нейронным сетям – загадка работы человеческого мозга.

Данный обзор позволил авторам описать некоторые современные разработки в области нейронных сетей, а также обосновать необходимость проведения дальнейших исследований в этой области. Дальнейшее рассмотрение вопроса планируется строить вокруг таких актуальных приложений как интеллектуальное управление движением мехатронных устройств, локализация объектов в трехмерном пространстве и распознавание изображений. Интересным и доступным с точки зрения аппаратной реализации решением для всех описанных приложений видится ПЛИС.

Литература

1. П.Линдсей, Д.Норман Переработка информации у человека. / Пер. с англ. под ред. А.Р.Лурия – М.: Мир, 1974. – 550 с.: ил.
2. Галушкин А.И., Симоров С.Н. Нейросетевые технологии в России (1982-2010). – М.: Горячая линия-Телеком, 2011. – 316 с.: ил.
3. The Strategic Research Agenda for Robotics in Europe, 07/2009. – Электронный ресурс. Режим доступа: http://www.robotics-platform.eu/cms/upload/SRA/2010-06_SRA_A4_low.pdf. - Проверено: 15.02.2011.
4. А. С. Анисимов, А. В. Калачев Реализация ИНС на матричном многоядерном процессоре SEAforth40 // Журнал радиоэлектроники . – 2010, № 9.
5. Знакомство с масштабируемым процессором SeaForth-S40C18. / Официальный сайт IntellaSys – Электронный ресурс. Режим доступа: <http://www.IntellaSys.net> – Проверено 02.02.2012.
6. J.M.Kinser, T.Lindblad Implementation of Pulse-Coupled Neural Networks in a CNAPS Environment // IEEE Transactions on Neural Networks. – 1999.
7. J.C.Browne High Speed Image Information Extraction Using Semiconductor Based Neural Networks. –Oslo: SINTEF and University of Oslo, 1996.
8. Л.Г. Комарцова, Ю. Н. Лавренков Решение задачи маршрутизации на основе нейросетевых и иммунологических алгоритмов // ISBN 978-5-7262-1375-0. Нейроинформатика – 2011. Часть 1. – с. 114-123
9. А.Е. Аверьянихин, А.И. Власов, Л.В. Журавлева, Л.А. Зинченко, В.А. Соловьев ПРИМЕНЕНИЕ ПОЛОЖЕНИЙ ТЕХНИЧЕСКОГО РЕГЛАМЕНТА для оформления конструкторско-технологической документации при выполнении домашних заданий, курсовых работ и проектов / под ред. В.А. Шахнова. - М.: МГТУ им. Н.Э. Баумана, 2011. - 53 с.: ил.
10. Осовский С. Нейронные сети для обработки информации / Пер. с польского И.Д. Рудинского. – М: Финансы и статистика, 2002. – 344 с.: ил.
11. Круглов В. В., Дли М. И., Голунов Р. Ю. Нечеткая логика и искусственные нейронные сети. - 3-е издание.- М.: Питер, 2002 – 224 с.
12. Implementing the Dynamic Decay Adjustment Algorithm in a CNAPS parallel Computer System / Th. Lindblad, G. Szikely, M.L.Padgett и др.// Nucl. Instr. Meth. – 1996.
13. Sung-Su Kim, Seul Jung Hardware Implementation of a Neural Network Controller with an MCU and an FPGA for Nonlinear Systems // Intern. Journal of Control, Autom., and Systems. – 2006, № 5. – с. 567-574
14. Применение методов нейронных сетей и генетических алгоритмов в решении задач управления электроприводами / Клепиков В.Б., Сергеев С.А., Махотило К.В., Обруч И.В. // Электротехника, № 5, 1999. – с. 2–6