электронный журнал
МОЛОДЕЖНЫЙ НАУЧНО-ТЕХНИЧЕСКИЙ ВЕСТНИК
Издатель ФГБОУ ВПО "МГТУ им. Н.Э. Баумана". Эл No. ФС77-51038.

УДК 004.312.26

Рациональный выбор элементной базы преобразователей двоично-десятичного кода чисел в двоичный код и двоичного кода чисел в двоично-десятичный код

***Алексеенок Т.Д.**, студент*
Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»

***Калинин А.П.**, студент*
Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»

Научный руководитель: Жирков В.Ф., к.т.н, доцент
Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»
jirkovvf@bmstu.ru

Преобразование двоично-десятичного кода (ДДК) чисел в двоичный код (ДК) и обратное преобразование выполняются в ЭВМ и вычислительных устройствах при вводе и выводе числовой информации. Преобразование выполняется отдельно для целой и дробной частей чисел по разным алгоритмам. Далее рассматривается преобразование аппаратными средствами.

Для представления десятичных чисел наибольшее распространение получил ДДК 8421, в обозначении которого цифры 8, 4, 2, 1 – веса разрядов тетрады двоичных знаков, изображающей десятичную цифру. Десятичные цифры 0, 1, …, 9 в ДДК 8421 изображаются двоичными тетрадами (числами) 0000, 0001, …, 1001 соответственно. Тетрады 1010, 1011, …,1111 не используются для изображения десятичных цифр и называются псевдотетрадами.

Десятичное смешанное число записывается в виде

$$A_{10} = a_{n-1} \cdot 10^{n-1} + a_{n-2} \cdot 10^{n-2} + \cdots + a_1 \cdot 10 + a_0 + \\ + a_{-1} \cdot 10^{-1} + a_{-2} \cdot 10^{-2} + \cdots + a_{-m} \cdot 10^{-m} \quad (1)$$

или в сокращённой записи

$$A_{10} = a_{n-1}\, a_{n-2} \ldots a_1\, a_0, a_{-1}\, a_{-2} \ldots a_{-m}\,, \quad (2)$$

где $a_{n-1}, a_{n-2}, \dots, a_1,\ a_0$ и $a_{-1}\, a_{-2} \dots a_{-m}$ – цифры целой и дробной частей десятичного числа соответственно, n и m – количество разрядов целой и дробной частей десятичного числа, 10 – основание десятичной системы счисления.

В ДДК 8421 десятичное число имеет изображение

$$A_{2-10} = \alpha_{n-1}\, \alpha_{n-2} \dots \alpha_1\, \alpha_0\, \alpha_{-1}\, \alpha_{-2} \dots \alpha_m\,, \qquad (3)$$

где $\alpha_{n-1}, \alpha_{n-2}, \dots \alpha_1,\ \alpha_0,\ \alpha_{-1},\ \alpha_{-2}, \dots, \alpha_m$ – двоичные тетрады, изображающие цифры целой и дробной частей десятичного числа.

В ДК целая и дробная части числа A_2 записываются в виде

$$A_2^{ц} = b_{k-1} \cdot 2^{k-1} + b_{k-2} \cdot 2^{k-2} + \dots + b_1 \cdot 2^1 + b_0\,, \qquad (4)$$

$$A_2^{др} = b_{-1} \cdot 2^{-1} + b_{-2} \cdot 2^{-2} + \dots + b_{-l} \cdot 2^{-l}\,, \qquad (5)$$

где $b_{k-1},\ b_{k-2}, \dots, b_1, b_0$ и $b_{-1},\ b_{-2}, \dots, b_{-l}$ – цифры целой и дробной частей двоичного числа А, равные 0 или 1, k и l – количества разрядов целой и дробной частей числа А соответственно, 2 – основание двоичной системы счисления.

Перевод ДДК числа А в ДК может быть выполнен по универсальным алгоритмам, которые следуют из записи выражений (4) и (5) по схеме Горнера:

$$A_{2-10}^{ц} = A_2^{ц} = (\dots(b_{k-1} \cdot 2 + b_{k-2}) \cdot 2 + \dots) \cdot 2 + b_1) \cdot 2 + b_0, \qquad (6)$$

$$A_{2-10}^{др} = A_2^{др} = \left(\dots\left(b_{-l} \cdot 2^{-1} + b_{-(l-1)}\right) \cdot 2^{-1} + \dots\right) \cdot 2^{-1} + b_{-1}) \cdot 2^{-1}. \qquad (7)$$

Согласно (6) перевод ДДК целой части числа А в ДК сводится к последовательному делению целой части двоично-десятичного числа $A_{2\text{-}10}$ и образующихся целых частных на основание 2 двоичной системы счисления. Полученные в процессе деления остатки являются цифрами b_0, b_1, …, b_{k-1} целого числа в двоичной системе счисления. Последний остаток является старшей цифрой b_{k-1} двоичного числа [1,2].

Согласно (7) перевод ДДК правильной дроби в ДК сводится к последовательному умножению на 2 двоично-десятичной дроби и дробных частей получающихся произведений. Полученные при переводе целые части произведений исключаются из последующих умножений и представляют цифры дробной части числа $A_2^{др}$ в двоичной системе счисления. Первая целая часть является старшей цифрой двоичной дроби.

При переводе ДК чисел в ДДК, исходя из соотношений (6) и (7), применяют другой алгоритм перевода, что вообще характерно для перевода чисел из системы счисления с меньшим основанием в систему счисления с большим основанием. Перевод ДК целых чисел в ДДК в соответствии с (6) сводится к k-кратному выполнению операций

суммирования и (k-1)-кратному операций умножения. После первого сложения получим $0 + b_{k-1} = b_{k-1}$ (начальное значение суммы равно 0), после первого умножения $b_{k-1} \cdot 2$. После второго сложения получим $b_{k-1} \cdot 2 + b_{k-2}$, после второго умножения $(b_{k-1} \cdot 2 + b_{k-2}) \cdot 2$ и т.д. В последнем такте выполняется только сложение последнего полученного произведения и младшего разряда b_0, а умножение не выполняется.

Перевод ДК дробной части числа в ДДК в соответствии с (7) сводится к l-кратному выполнению суммирования и умножению на 2^{-1}, т.е. делению на 2. В первом такте определяется произведение $(0 + b_{-l}) \cdot 2^{-1}$ (начальное значение суммы равно 0), во втором такте – $(b_{-l} \cdot 2^{-1} + b_{-(l-1)}) \cdot 2^{-1}$ и т.д. Операции умножения и деления на 2 обычно выполняются сдвигом числа влево или вправо на одну двоичную позицию соответственно. Операция сложения при переводе как целых чисел, так и дробей совмещается со сдвигом: очередная цифра целого числа вводится в освобождающийся при сдвиге влево двоичный разряд младшей тетрады десятичного регистра, дроби – в освобождающийся при сдвиге вправо двоичный разряд старшей тетрады десятичного регистра.

При всех четырёх видах перевода, а именно, при переводе целой и дробной частей из ДДК в ДК и обратно из ДК в ДДК арифметические операции выполняются в десятичной системе счисления. При переводе чисел из ДДК в ДК десятичная система счисления является исходной, а при переводе чисел из ДК в ДДК – новой.

При выполнении умножения или деления ДДК смешанного числа А на 2 после сдвига требуется его коррекция. Как показано в [3,4], для всех четырёх видов перевода необходимы два типа элементарных преобразователей, выполняющих коррекцию тетрад ДДК целой и дробной частей числа как при переводе ДДК числа в ДК, так и при переводе ДК числа в ДДК.

Элементарные преобразователи, выполняющие коррекцию одной тетрады ДДК числа, имеют четыре входа x_1, x_2, x_3, x_4 и четыре выхода y_1, y_2, y_3, y_4, где x_4 и y_4 – старшие разряды тетрады.

Элементарный преобразователь (ЭП) одной двоично-десятичной тетрады для перевода ДДК целого числа в ДК и ДК правильной дроби в ДДК должен выполнять коррекцию в соответствии с функцией

$$Y = \begin{cases} X, & \text{если } 0 \le X \le 4, \\ X - 3, & \text{если } 8 \le X \le 12, \end{cases} \tag{8}$$

где $X = (x_4 x_3 x_2 x_1)$, $Y = (y_4 y_3 y_2 y_1)$ – двоичные числа на входах и выходах ЭП соответственно.

ЭП имеет четыре входа с весами 5,4,2,1 и четыре выхода с весами 8,4,2,1. Такой ЭП назовём $ЭП_1$-4. Числа 0101, 0110, 0111, 1101, 1110, 1111 не могут появиться на входах $ЭП_1$-4. Условное графическое обозначение (УГО) $ЭП_1$-4 показано на рис. 1.

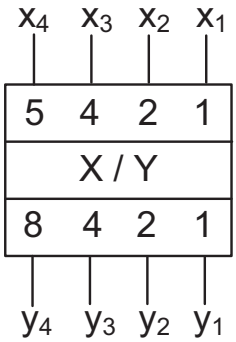

Рис.1. УГО $ЭП_1$-4 одной двоично-десятичной тетрады

ЭП одной двоично-десятичной тетрады при переводе ДК целых чисел в ДДК и ДДК правильных дробей в ДК должен выполнять коррекцию в соответствии с функцией:

$$Y = \begin{cases} X, & если\ 0 \le X \le 4, \\ X + 3, & если\ 5 \le X \le 9, \end{cases} \tag{9}$$

где $X = (x_4 x_3 x_2 x_1)$, $Y = (y_4 y_3 y_2 y_1)$ – двоичные числа на входах и выходах ЭП соответственно, x_4, y_4 – старшие разряды.

ЭП имеет четыре входа с весами 8,4,2,1 и четыре выхода с весами 5,4,2,1. Такой ЭП назовём $ЭП_2$-4. Числа 1010, 1011, …, 1111 не могут появиться на входах $ЭП_2$-4. Условное графическое обозначение $ЭП_2$-4 показано на рис. 2.

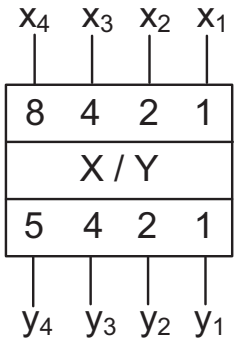

Рис.2. УГО $ЭП_2$-4 одной двоично-десятичной тетрады

Преобразование многоразрядных чисел, как целых, так и правильных дробей, можно выполнять в последовательностном и комбинационном преобразователях. Комбинационная схема преобразователя является асинхронной и более

быстродействующей, чем последовательностная. Далее рассматриваются комбинационные схемы преобразователей.

Преобразователи чисел из ДДК в ДК и ДК в ДДК комбинационного типа строятся по каскадной схеме. В каждом каскаде выполняется умножение на 2 или деление на 2 и коррекция кода в зависимости от вида преобразования и формы числа (целого или дроби). Количество каскадов зависит от разрядности преобразуемых чисел и точности перевода.

В качестве примеров приведем схемы преобразователей комбинационного типа для перевода ДДК двухразрядного целого числа в ДК (рис. 3,а) и ДДК двухразрядной правильной дроби в ДК (рис. 3,б). Преобразователи ДК чисел в ДДК имеют похожие схемы.

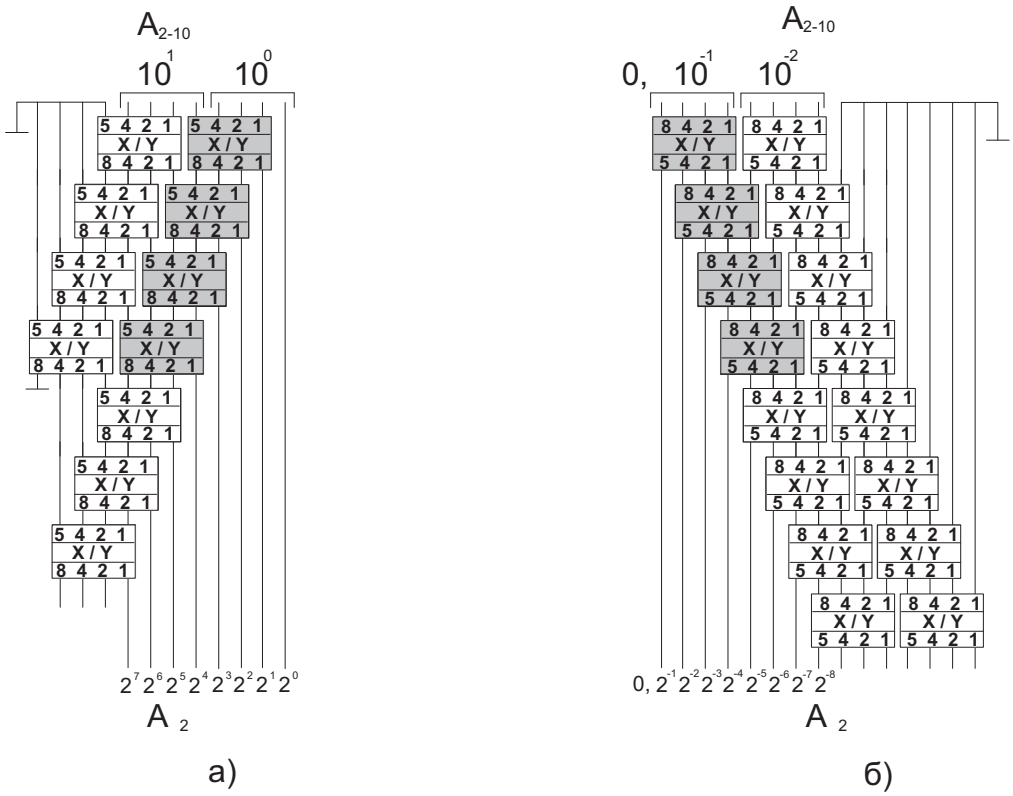

Рис.3. Преобразователь ДДК двухразрядного целого числа в ДК комбинационного типа (а), преобразователь ДДК двухразрядной правильной дроби в ДК комбинационного типа (б).

Как видно на рис. 3, рассматриваемые преобразователи кодов содержат множество ЭП, т.е. однотипных схем.

Рациональный выбор элементной базы - интегральных схем (ИС), интеграция ЭП в более сложные структуры имеет целью улучшения параметров и схемное упрощение преобразователей, полное использование функциональных возможностей ИС.

Один из важных параметров - время преобразования - определяется временем задержки распространения сигналов в наиболее длинной цепи последовательно соединенных ЭП. Для уменьшения времени преобразования следует сокращать количество каскадов путем объединения нескольких расположенных по диагонали ЭП-4, как показано на рис. 3 и 4 затенением. Можно объединять в более сложный ЭП два, три, четыре и более $ЭП_1$-4 или $ЭП_2$-4. При объединении нескольких ЭП число каскадов уменьшается, но не пропорционально количеству объединенных ЭП. Однако уменьшение времени преобразования может быть достигнуто только тогда, когда времена задержек распространения в цепи объединенных ЭП и одного ЭП практически одинаковы. Такой результат можно обеспечить при генерации функций алгебры логики (ФАЛ) с помощью постоянных или оперативных запоминающих устройств (ПЗУ или ОЗУ), характеризующихся произвольной выборкой. В этом случае не нужны логические элементы, не требуется минимизация ФАЛ, так как в ПЗУ или ОЗУ записывается таблица истинности ФАЛ.

В ИС SN54184, SN74184 фирмы Texas Instruments (TI) и отечественной К155ПР6 объединены два $ЭП_1$-4. Такой ЭП имеет 5 входов и 5 выходов. В ИС SN54185A, SN74185A фирмы TI и отечественной К155ПР7 три объединенные $ЭП_2$-4 имеют 5 входов и 6 выходов. В этих ИС объединенные ЭП-4 реализованы в виде ПЗУ с организацией 32×8 бит.

Однако указанные ИС неперспективны, так как имеют значительное время задержки распространения (~30-40 нс), определяемое временем выборки адреса, и потребляемую мощность более 200 мВт.

Преобразователи многоразрядных чисел как специализированные устройства целесообразно выполнять в программируемых логических ИС (ПЛИС), например, фирмы Xilinx.

В ПЛИС ФАЛ нескольких переменных генерируются табличными преобразователями (LUT – Look-Up Tables), имеющими в конкретных семействах ИС 4, 5 или 6 входов. Предусмотрена возможность генерации ФАЛ большего числа переменных в соответствии с теоремой разложения Шеннона путем объединения нескольких выходов с помощью мультиплексоров. LUT представляют собой ОЗУ с организацией 16x1, 32x1 или 64x1. Поэтому время задержки распространения сигналов ЭП, реализованных табличными преобразователями LUT, определяется временем выборки адреса ОЗУ и для указанных размерностей ОЗУ не зависит от числа входов LUT, т.е. от числа переменных ФАЛ.

При реализации схемы на ПЛИС можно получить очень высокие параметры быстродействия, однако, в зависимости от использования ПЛИС различных серий и при реализации элементарных преобразователей с различным количеством входов можно оптимизировать эти параметры. Было произведено моделирование четырёх-, пяти-, шести- и семивходовых элементарных преобразователей, а также схемы 32-х разрядных преобразователей ДДК в ДК комбинационного типа с использованием этих элементарных преобразователей. Описание устройств и моделирование их работы производилось в среде Xilinx ISE 14.1.

Согласно документации ПЛИС фирмы Xilinx с архитектурой FPGA содержат в себе три основных компонента:

– Configurable Logic Blocks (CLBs) – конфигурируемые логические блоки (КЛБ),
– Input/Output Blocks (IOBs) – блоки ввода-вывода (БВ-В) информации,
– Blocks RAM – блоки RAM-памяти

Все блоки соединены между собой программируемыми связями (ПС, IC - Interconnection). Каждый конфигурируемый логический блок разбит на секции (Slice), которые связаны через коммутирующую матрицу (Switch Matrix). КЛБ предназначены для реализации логических функций и содержат комбинационную логику, триггеры и мультиплексоры (внутренние коммутаторы). Количество КЛБ и секций в них, а так же элементная база секций являются основными параметрами, характеризующими функциональные возможности кристалла.

Серия ПЛИС Xilinx Spartan 3 состоит из КЛБ, разбитых на четыре секции: две секции логики (Slice L) и две секции памяти (Slice M). Каждая секция содержит в себе два четырёхвходовых LUT, способных генерировать произвольную функцию алгебры логики четырёх переменных. Общая структура блока показана на рис. 4.

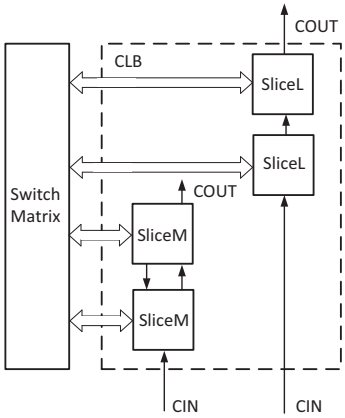

Рис. 4. Структура блока (CLB) ПЛИС серии Spartan 3.

В серии ПЛИС Xilinx Spartan 6 имеется три типа секций [5] SliceX, SliceM и SliceL. Каждый КЛБ состоит из одной базовой секции (SliceX) и секции логики SliceL или памяти SliceM, таким образом, вся ПЛИС содержит 50% SliceX и по 25% SliceL/M. Общая структура блока показана на рисунке 5.

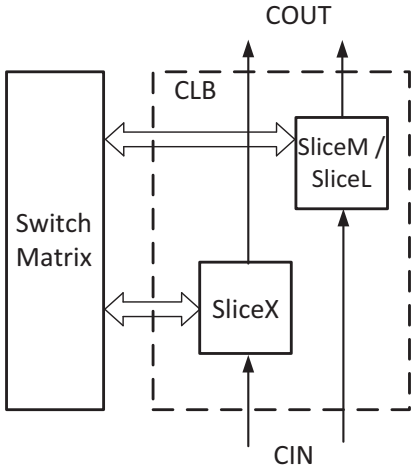

Рис. 5. Структура блока (КЛБ) ПЛИС серии Spartan 6

Каждая секция содержит четыре шестивходовые LUT, которые состоят из двух независимых друг от друга пятивходовых LUT [6]. Структура LUT представлена на рисунке 6.

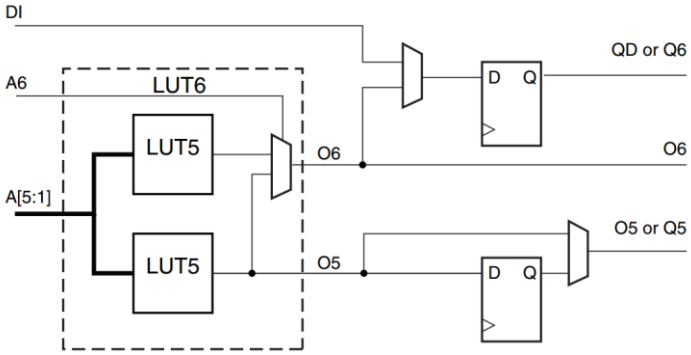

Рис. 6. Структура LUT в Spartan 6

Задержки в ПЛИС, возникающие на линиях связи внутри одной секции, очень малы и ими можно пренебречь, а задержки в линиях связи между секциями в пределах одного блока соизмеримы с задержкой распространения в логическом элементе. Самые большие задержки возникают на линиях связи между секциями различных блоков, поэтому необходимо уменьшить количество таких связей и количество используемых блоков.

В первую очередь было проведено моделирование элементарных преобразователей, и проанализированы значения задержек, результаты приведены в таблице 1.

Таблица 1

Сравнение времени преобразования многовходовых ЭП

ЭП \ ПЛИС	Xilinx Spartan 3	Xilinx Spartan 6
4-входовой	5,9 нс	7,35 нс
5-входовой	6,5 нс	7,35 нс
6-входовой	8,4 нс	7,35 нс
7-входовой	8,4 нс	7,51 нс

Сигналы на схемы ЭП с различным числом входов подаются параллельно, т.е одновременно. Поэтому время задержки каждого преобразователя будет зависеть от количества каскадов из элементарных блоков ПЛИС (LUT, мультиплексоры), через которые будет проходить сигнал. В случае четырёхвходового ЭП, реализованного на Spartan 3, время задержки составляет 5,9 нс, из которых 0,6 нс – время задержки распространения в одном каскаде, состоящем из одного LUT, а остальные 5,3 нс - это задержка на линиях связи от входных буферов до LUT и от LUT до выходных буферов. Стоит отметить, что при наращивании количества ЭП задержка на входных и выходных линиях связи будет учитываться только один раз. При наращивании разрядности ЭП видно, что задержка распространения увеличивается. В пятивходовом преобразователе добавляется ещё один каскад из одного LUT, отсюда увеличение задержки на 0,6 нс. В случае шестивходового и семивходового преобразователей задержка увеличивается сильнее из-за усложнения структуры. Дело в том, что шести- и семивходовые преобразователи занимают не один КЛБ, а два, при этом элементы одного КЛБ соединены с элементами другого КЛБ. Получается, что остаются всё те же два каскада, однако появляются дополнительные задержки на линиях связи между КЛБ и переключающей матрицы между секциями внутри КЛБ.

В случае со Spartan 6 все рассматриваемые преобразователи размещаются внутри одного КЛБ. Для первых трёх случаев задержка распространения одинакова, т.к. каждый преобразователь состоит только из одного каскада. В случае четырёх- и пятиводового преобразователей используются четыре 5-входовых LUT, т.е. они размещается в пределах одной секции. В случае шестивходового преобразователя используются шесть шестивходовых LUT, расположенных в двух секциях. В случае семивходового преобразователя в цепь добавляются мультиплексоры, и задержка распространения незначительно увеличивается на 0,2 нс.

При реализации многоразрядных преобразователей можно использовать ЭП с различным количеством входов. Это позволяет значительно уменьшать количество

каскадов, а значит, и количество межкаскадных соединений, что влечёт за собой уменьшение временных задержек распространения, тем самым увеличивая скорость работы всего устройства.

Среда моделирования позволяет увидеть размещение описанных устройств на кристалле, тем самым дав возможность оптимизировать их структуру для уменьшения занимаемого места. При анализе размещения ЭП было выявлено, что в пределах одного КЛБ ПЛИС Spartan 3 можно разместить два четырёхвходовых или два пятивходовых ЭП. ЭП с большим числом входов будут размещены в двух КЛБ. В пределах одного КЛБ ПЛИС Spartan 6 можно разместить четыре четырёхвходовых ЭП, четыре пятивходовых ЭП, и по одному шести- и семивходовому преобразователю. Размещение такого количества пятивходовых преобразователей основано на том, что, как говорилось ранее, ПЛИС серии Spartan 6 содержит шестивходовую LUT, которая состоит из двух независимых пятивходовых LUT. Таким образом, получается, что каждый КЛБ содержит по 16 пятивходовых LUT, которые с помощью мультиплексоров могут быть объединены по формуле разложения Шеннона, позволяя тем самым получить четыре ЭП с пятью входами.

В таблице 2 представлены полученные в результате моделирования времена задержек распространения в 32-разрядных преобразователях ДДК чисел в ДК, построенных на основе различных ЭП.

Таблица 2

Сравнение времени преобразования 32-разрядных преобразователей из ДДК в ДК

Базовый элемент \ ПЛИС	Xilinx Spartan 3	Xilinx Spartan 6
4-входовой ЭП	47,1нс	32,1нс
5-входовой ЭП	45,2нс	21,3нс
6-входовой ЭП	40,3нс	26,8нс
7-входовой ЭП	42,4нс	28,3нс

По результатам моделирования самое эффективное размещение было получено при использовании 5-входовых преобразователей в ПЛИС Spartan 6, что отразилось на быстродействии. Соотношение времени задержки логических схем к времени задержки распространения на связях получилось 27/73, что является хорошим результатом, так как в преобразователях большей разрядности данный показатель может достигать отношения 15/85. Данные результаты удалось получить благодаря тому, что все LUT в КЛБ были использованы полностью, в отличие от других схем, где встречались LUT с неиспользуемыми входами и ЭП, структура которых распределялась по двум КЛБ.

Список литературы

1. Карцев М.А. Арифметика цифровых машин. М.: Главная редакция физико-математической литературы издательства «Наука», 1969. 576 с.
2. Дроздов Е.А., Комарницкий В.А., Пятибратов А.П. Электронные вычислительные машины Единой системы. 2-е изд., перераб. и доп. М.: Машиностроение, 1981. 648 с.
3. Жирков В.Ф., Ходин В.В. Алгоритм преобразования двоично-десятичного кода правильных дробей в двоичный код и его реализация аппаратными средствами комбинационного типа // Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение. Спец. вып. №4 «Компьютерные системы и технологии. 2012. С. 97–105.
4. Жирков В.Ф., Маянц А.Ю. Алгоритм преобразования двоичного кода правильных дробей в двоично-десятичный код и его реализация аппаратными средствами комбинационного типа // Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение. Спец. вып. №4 «Компьютерные системы и технологии. 2012. С.106–114.
5. Документация фирмы Xilinx. Spartan-6 Generation Configuration User Guide.
6. Документация фирмы Xilinx. Spartan-6 FPGA packaging and pinouts product specification.